

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-136163

(43)Date of publication of application : 01.06.1993

(51)Int.Cl.

H01L 21/336

H01L 29/784

(21)Application number : 03-322544

(71)Applicant : YAMAHA CORP

(22)Date of filing : 11.11.1991

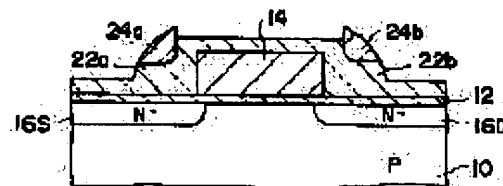
(72)Inventor : KURONUMA TAKAYUKI

(54) MANUFACTURE OF FIELD EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To obtain a side spacer of sufficient width on the side wall of a gate electrode layer even when the layer is thinned.

CONSTITUTION: After a gate electrode layer 14 is formed on the surface of a semiconductor substrate 10 via a gate insulating film 12, a low concentration drain region 16D is formed by ion implantation process using the electrode layer 14 as a mask. After a first insulating film of high etching rate and a second insulating film of low etching rate are formed in order on the upper surface of the substrate, the second and first insulating films are etched back, thereby forming a side spacer composed of residual parts 24b and 22b of the respective insulating films. If necessary, a high concentration drain region is formed by ion implantation process using the electrode layer 14 and the side spacer as masks, after the side spacer is further etched.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] (a) The process which forms a gate electrode layer in the front face of a semi-conductor substrate through gate dielectric film, (b) The process which forms a low concentration drain field in the front face of said semi-conductor substrate by the one side of said gate electrode layer by alternative impurity installation processing which uses said gate electrode layer as a mask, (c) The process which covers said gate dielectric film and said gate electrode layer, and forms the 2nd insulator layer with a slow dirty rate one by one under predetermined etching conditions under the 1st insulator layer with a quick dirty rate, and these etching conditions, (d) The process which adjoins said gate electrode layer and forms the side spacer which consists of a residual part of these 1st and 2nd insulator layers by carrying out etchback of the laminating of said 1st and 2nd insulator layers on said etching conditions in the upper part of said low concentration drain field, (e) Process of a field-effect transistor including the process which follows the front face of said semi-conductor substrate to said low concentration drain field by alternative impurity installation processing which uses said gate electrode layer and said side spacer as a mask, and forms a high concentration drain field.

[Claim 2] (a) The process which forms a gate electrode layer in the front face of a semi-conductor substrate through gate dielectric film, (b) The process which forms a low concentration drain field in the front face of said semi-conductor substrate by the one side of said gate electrode layer by alternative impurity installation processing which uses said gate electrode layer as a mask, (c) The process which covers said gate dielectric film and said gate electrode layer, and forms the 2nd insulator layer with a slow dirty rate one by one under predetermined etching conditions under the 1st insulator layer with a quick dirty rate, and these etching conditions, (d) The process which adjoins said gate electrode layer and forms the side spacer which consists of a residual part of these 1st and 2nd insulator layers by carrying out etchback of the laminating of said 1st and 2nd insulator layers on said etching conditions in the upper part of said low concentration drain field, (e) The process which removes a part or all of this residual part by etching the residual part of said 2nd insulator layer which constitutes said side spacer, (f) Process of a field-effect transistor including the process which follows the front face of said semi-conductor substrate to said low concentration drain field by alternative impurity installation processing which uses as a mask the side spacer which received said gate electrode layer and said etching, and forms a high concentration drain field.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Ushiro who especially this invention covered the gate electrode layer, and formed the insulator layer of a high dirty rate, and the insulator layer of a low dirty rate one by one about the process of the MOS mold field-effect transistor of LDD (Lightly Doped Drain) structure -- the side spacer of width of face sufficient also in a thin gate electrode layer is obtained by carrying out etchback of these insulator layers.

[0002]

[Description of the Prior Art] Conventionally, as a process of the MOS transistor of LDD structure, what is shown in drawing 7 -9 is known.

[0003] At the process of drawing 7, after forming the gate dielectric film 12 which oxidizes thermally the front face of the P-type semiconductor substrate 10 which consists of silicon etc., and consists of silicon oxide, on this insulator layer, patterning of the polish recon is deposited and carried out, and the gate electrode layer 14 is formed. And it is low-concentration N by the alternative ion-implantation processing which uses the electrode layer 14 as a mask. - Mold source field 16S and N - Mold drain field 16D is formed. then, CVD (chemical vapor deposition) -- an insulator layer 12 and the electrode layer 14 are covered by law etc., and the insulator layers 18, such as silicon oxide, are formed.

[0004] Next, at the process of drawing 8, the side spacers 18a and 18b which carry out etchback of the insulator layer 18 by dry etching processing, and consist of a residual part of an insulator layer 18 are formed in a source [of the gate electrode layer 14], and drain side, respectively.

[0005] Then, it is high-concentration N+ by the alternative ion-implantation processing which uses the electrode layer 14 and the side spacers 18a and 18b as a mask at the process of drawing 9. Mold source field 20S and N+ It is N at a source [of the gate electrode layer 14], and drain side about mold drain field 20D. - Mold source field 16S and N - It forms so that mold drain field 16D may be followed, respectively.

[0006] If it is in the MOS mold field-effect transistor shown in drawing 9, since the electric-field concentration near the drain is eased by having prepared low concentration drain field (LDD field) 16D, there is an advantage which can control property degradation based on a hot carrier.

[0007]

[Problem(s) to be Solved by the Invention] According to the above-mentioned conventional method, when a limitation was in the width of face of the side spacers 18a and 18b attached to the side attachment wall according to the thickness of the gate electrode layer 14 and the electrode layer 14 was made thin, it was difficult to obtain the thing of width of face sufficient as a side spacer.

[0008] Even if the purpose of this invention makes a gate electrode layer thin, it is to offer the process of the new field-effect transistor which can obtain the side spacer of sufficient width of face.

[0009]

[Means for Solving the Problem] The process of the field-effect transistor by this invention (a) The process which forms a gate electrode layer in the front face of a semi-conductor substrate through gate dielectric film, (b) The process which forms a low concentration drain field in the front face of said semi-conductor substrate by the one side of said gate electrode layer by alternative impurity installation processing which uses said gate electrode layer as a mask, (c) The process which covers said gate dielectric film and said gate electrode layer, and forms the 2nd insulator layer with a slow dirty rate one by one under predetermined etching conditions under the 1st insulator layer with a quick dirty rate, and these etching conditions, (d) The process which adjoins said gate electrode layer and forms the side spacer which consists of a residual part of these 1st and 2nd insulator layers by carrying out etchback of the laminating of said 1st and 2nd insulator layers on said etching conditions in the upper part of said low concentration drain field, (e) The process

which follows the front face of said semi-conductor substrate to said low concentration drain field by alternative impurity installation processing which uses said gate electrode layer and said side spacer as a mask, and forms a high concentration drain field is included.

[0010] If it is in such a process, after forming a side spacer, a part or all of this residual part is removed, and it may be made to perform high concentration drain formation by etching the residual part of the 2nd insulator layer which constitutes a side spacer by using as a mask the side spacer which received such etching.

[0011]

[Function] According to the process of this invention, the thing of the large width of face which the part with which the 1st insulator layer was covered by a part of 2nd insulator layer since etching advanced the 1st quick insulator layer of a dirty rate in the wrap form in the process of etchback certainly comes to remain, and a part of 2nd insulator layer with a slow dirty rate becomes from the residual part of the 1st and 2nd insulator layers as a side spacer is obtained. In this case, the residual width of face of the 1st insulator layer has a low dependence to the thickness of a gate electrode layer mainly depending on the residual width of face of the 2nd insulator layer. Therefore, even if it makes a gate electrode layer thin, the side spacer of sufficient width of face can be obtained.

[0012] Moreover, if the 2nd a part or all of a residual part of an insulator layer that constitutes a side spacer is removed as described above, a level difference will be mitigated near the gate electrode layer, and surface smoothness will improve.

[0013]

[Example] drawing 1 - six -- this -- invention -- one -- an example -- depending -- LDD -- structure -- MOS -- a mold -- a field-effect transistor -- a process -- being shown -- a thing -- it is -- each -- drawing -- corresponding -- a process -- (-- one --) - (-- six --) -- one by one -- explaining . In addition, the same sign is given to the same part as drawing 7 -9, and detailed explanation is omitted.

[0014] (1) They are gate dielectric film 12, the gate electrode layer 14, and N the same with having mentioned above about drawing 7 on the front face of the semi-conductor substrate 10. - After forming the source and the drain fields 16S and 16D of a mold, an insulator layer 12 and the electrode layer 14 are covered with a CVD method etc., and deposition formation of the insulator layers 22 and 24 is carried out one by one. Here, insulator layers 22 and 24 are the thing which has a respectively quick dirty rate, and a late thing in the dry etching processing mentioned later, and when the component of etching conditions and film 22 and 24 is illustrated, they are as follows.

[0015] etching condition: -- gas CHF₃, flow rate 50sccm, and component:SiO₂ of the component:SiN film 24 of the pressure 70mtorr film 22 (2) -- next By carrying out etchback of the laminating of insulator layers 22 and 24 on the above-mentioned etching conditions The 1st side spacer which consists of residual parts 24a and 22a of insulator layers 24 and 22 is formed in the source side of the gate electrode layer 14, and the 2nd side spacer which consists of residual parts 24b and 22b of insulator layers 24 and 22 is formed in the drain side of the gate electrode layer 14. In this case, it is made for an insulator layer 22 to remain thinly also on gate dielectric film 12 and the gate electrode layer 14.

[0016] (3) Remove an insulator layer 12 and the thin insulator layer 22 on the electrode layer 14 by setting up etching conditions with which the presentation of etching gas is succeedingly changed and the residual parts 24a and 24b hardly sleep, and performing selective etching processing.

[0017] (4) Next, form the resist layer 26 in a substrate top face by the rotation applying method etc. The resist layer 26 is formed thickly enough so that the upper limit of the residual parts 24a and 24b may be covered.

[0018] (5) Next, by carrying out etchback of the resist layer 26, remove the part near the upper limit of the residual parts 24a and 24b, and carry out flattening of the top face of the 1st and 2nd side spacers. Then, the resist layer 26 is removed.

[0019] (6) Next, it is N to a substrate front face by the alternative ion-implantation processing which uses as a mask the 1st spacer which consists of residual parts 24a and 22a, the gate electrode layer 14, and the 2nd spacer which consists of residual parts 24b and 22b. - The mold source and the drain fields 16S and 16D are followed, respectively, and it is N+. The mold source and the drain fields 20S and 20D are formed. And the interlayer insulation films 27, such as BPSG (boron phosphorus silicic-acid glass), are formed in a substrate top face with a CVD method etc.

[0020] Then, the connection hole corresponding to source field 20S, the gate electrode layer 14, drain field 20D, etc. is formed in an insulator layer 27, respectively. And source wiring layer 28S, gate wiring layer 28G, drain wiring layer 28D, etc. are formed by putting and carrying out patterning of the wiring material, such as aluminum or aluminum alloy, on an insulator layer 27. These wiring layers 28S, 28G, and 28D are connected to source field 20S, the gate electrode layer 14, and drain field 20D through a connection hole, respectively.

[0021] According to the above-mentioned process, even if it will make the gate electrode layer 14 thin so that clearly if drawing 9 and drawing 6 are contrasted, the side spacer of sufficient width of face is obtained, and the distance between

gate-drains can fully be taken. Moreover, since the part near the upper limit of the residual parts 24a and 24b was removed, surface smoothness improves conjointly with having made the gate electrode layer 14 thin.

[0022] This invention is not limited only to the above-mentioned example, and can be carried out with various alteration gestalten. For example, the following modification is possible.

[0023] (b) After etchback processing of drawing 2 finishes, you may make it move to the process of drawing 6 , without passing through the process of drawing 3 -5. In this case, on an insulator layer 12 and the electrode layer 14, it leaves the insulator layer 22 which remained thinly as it is after ion-implantation processing, and it can be used as some interlayer insulation films 27.

[0024] (b) After the process of drawing 2 or drawing 3 finishes, you may make it move to the process of drawing 6 , without passing through the process of drawing 4 -5. In this case, at the process of drawing 6 , flattening may be attained for an interlayer insulation film 27 as laminated structures, such as for example, CVD film-SOG (spin-on glass) film-CVD film.

[0025] (c) Instead of being the process of drawing 4 -5, after the process of drawing 2 or drawing 3 finishes, selective etching processing is performed that the residual parts 24a and 24b should be removed altogether, and you may make it move to the process of drawing 6 after this. In this case, although the 1st and 2nd spacers will consist of residual parts 22a and 22b, respectively, the source and the formation pattern of the drain fields 20S and 20D are the same as that of the thing of drawing 6 .

[0026]

[Effect of the Invention] As mentioned above, since the side spacer which consists of a residual part of each insulator layer by carrying out etchback of the laminating of the insulator layer of a wrap quantity dirty rate and a low dirty rate for a gate electrode layer was formed according to this invention, even if it makes a gate electrode layer thin, the side spacer of sufficient width of face is obtained, and the effectiveness it is realizable [the LDD structure of high reliance] ineffective is acquired.

[0027] If the residual part of the insulator layer of the low dirty rate which constitutes a side spacer is moreover etched, the effectiveness that the surface smoothness on the top face of a substrate improves will also be acquired.

[Translation done.]

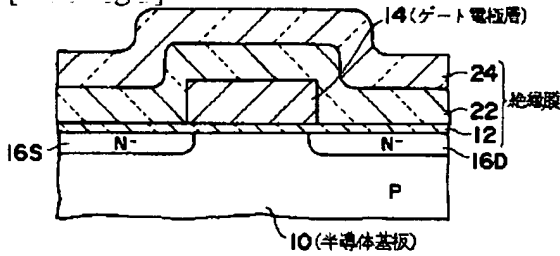
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

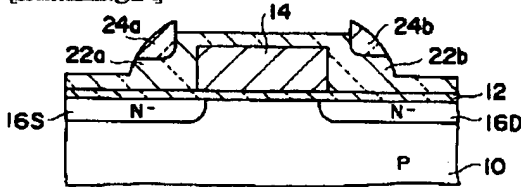
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

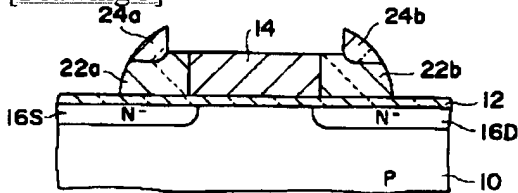
[Drawing 1]



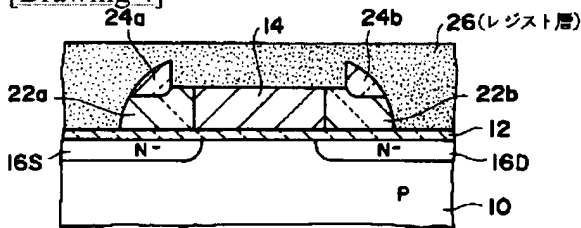
[Drawing 2]



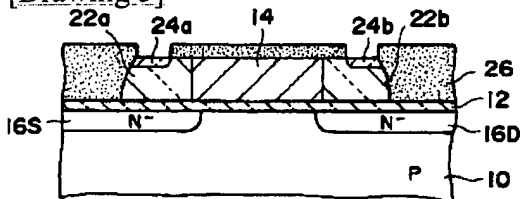
[Drawing 3]



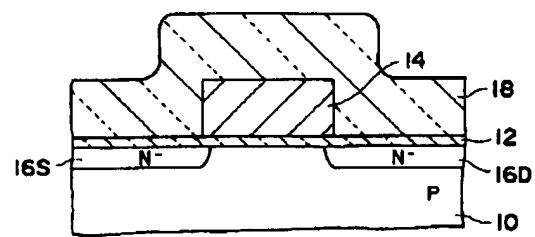
[Drawing 4]



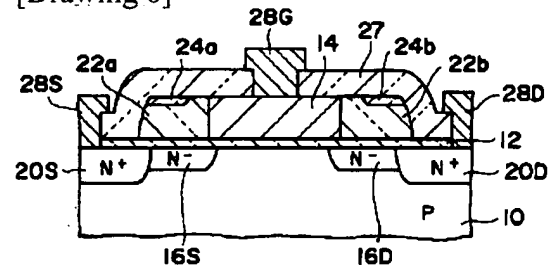
[Drawing 5]



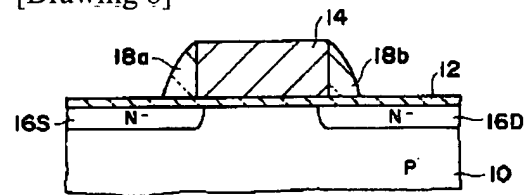
[Drawing 7]



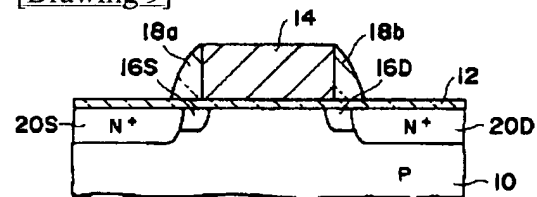
[Drawing 6]



[Drawing 8]



[Drawing 9]



[Translation done.]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-136163

(43)公開日 平成5年(1993)6月1日

(51)Int.Cl.⁵

H01L 21/336

29/784

識別記号

庁内整理番号

F I

技術表示箇所

8225-4M

H01L 29/78

301 L

審査請求 未請求 請求項の数2(全5頁)

(21)出願番号 特願平3-322544

(22)出願日 平成3年(1991)11月11日

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72)発明者 黒沼 孝之

静岡県浜松市中沢町10番1号ヤマハ株式会社
社内

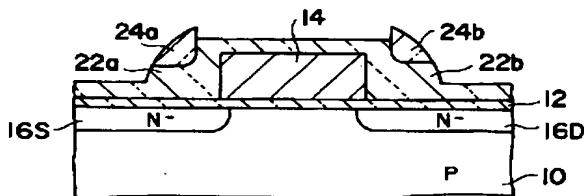
(74)代理人 弁理士 伊沢 敏昭

(54)【発明の名称】 電界効果トランジスタの製法

(57)【要約】

【目的】 MOS型電界効果トランジスタの製法において、ゲート電極層を薄くしてもその側壁に十分な幅のサイドスペーサが得られるようにする。

【構成】 半導体基板10の表面にゲート絶縁膜12を介してゲート電極層14を形成した後、電極層14をマスクとするイオン注入処理で低濃度ドレイン領域16Dを形成する。そして、基板上面に高エッチ速度の第1の絶縁膜と低エッチ速度の第2の絶縁膜とを順次に形成してから第2及び第1の絶縁膜をエッチバックすることにより各々の絶縁膜の残存部分24b、22bからなるサイドスペーサを形成する。必要に応じてサイドスペーサをさらにエッチング加工した後、電極層14及びサイドスペーサをマスクとするイオン注入処理で高濃度ドレイン領域を形成する。



1

【特許請求の範囲】

【請求項 1】 (a) 半導体基板の表面にゲート絶縁膜を介してゲート電極層を形成する工程と、

(b) 前記ゲート電極層をマスクとする選択的不純物導入処理により前記ゲート電極層の一方側で前記半導体基板の表面に低濃度ドレイン領域を形成する工程と、

(c) 前記ゲート絶縁膜及び前記ゲート電極層を覆って所定のエッチング条件下でエッチ速度の速い第 1 の絶縁膜と該エッチング条件下でエッチ速度の遅い第 2 の絶縁膜とを順次に形成する工程と、

(d) 前記第 1 及び第 2 の絶縁膜の積層を前記エッチング条件にてエッチバックすることにより該第 1 及び第 2 の絶縁膜の残存部分からなるサイドスペーサを前記低濃度ドレイン領域の上方で前記ゲート電極層に隣接して形成する工程と、

(e) 前記ゲート電極層及び前記サイドスペーサをマスクとする選択的不純物導入処理により前記半導体基板の表面に前記低濃度ドレイン領域に連続して高濃度ドレイン領域を形成する工程とを含む電界効果トランジスタの製法。

【請求項 2】 (a) 半導体基板の表面にゲート絶縁膜を介してゲート電極層を形成する工程と、

(b) 前記ゲート電極層をマスクとする選択的不純物導入処理により前記ゲート電極層の一方側で前記半導体基板の表面に低濃度ドレイン領域を形成する工程と、

(c) 前記ゲート絶縁膜及び前記ゲート電極層を覆って所定のエッチング条件下でエッチ速度の速い第 1 の絶縁膜と該エッチング条件下でエッチ速度の遅い第 2 の絶縁膜とを順次に形成する工程と、

(d) 前記第 1 及び第 2 の絶縁膜の積層を前記エッチング条件にてエッチバックすることにより該第 1 及び第 2 の絶縁膜の残存部分からなるサイドスペーサを前記低濃度ドレイン領域の上方で前記ゲート電極層に隣接して形成する工程と、

(e) 前記サイドスペーサを構成する前記第 2 の絶縁膜の残存部分をエッチングすることにより該残存部分の一部又は全部を除去する工程と、

(f) 前記ゲート電極層と前記エッチングを受けたサイドスペーサとをマスクとする選択的不純物導入処理により前記半導体基板の表面に前記低濃度ドレイン領域に連続して高濃度ドレイン領域を形成する工程とを含む電界効果トランジスタの製法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、LDD (Lightly Doped Drain) 構造の MOS 型電界効果トランジスタの製法に関し、特にゲート電極層を覆って高エッチ速度の絶縁膜及び低エッチ速度の絶縁膜を順次に形成した後これらの絶縁膜をエッチバックすることにより薄いゲート電極層でも十分な幅のサイドスペーサ

2

が得られるようにしたものである。

【0002】

【従来の技術】従来、LDD 構造の MOS 型トランジスタの製法としては、図 7～9 に示すものが知られている。

【0003】図 7 の工程では、シリコン等からなる P 型半導体基板 10 の表面を熱酸化するなどしてシリコンオキサイドからなるゲート絶縁膜 12 を形成した後、この絶縁膜の上にポリシリコンを堆積してパターンニングするなどしてゲート電極層 14 を形成する。そして、電極層 14 をマスクとする選択的イオン注入処理により低濃度の N^- 型ソース領域 16 S 及び N^- 型ドレイン領域 16 D を形成する。この後、CVD (ケミカル・ベーパー・デポジション) 法等により絶縁膜 12 及び電極層 14 を覆ってシリコンオキサイド等の絶縁膜 18 を形成する。

【0004】次に、図 8 の工程では、ドライエッチング処理により絶縁膜 18 をエッチバックして絶縁膜 18 の残存部分からなるサイドスペーサ 18 a 及び 18 b をゲート電極層 14 のソース側及びドレイン側にそれぞれ形成する。

【0005】この後、図 9 の工程では、電極層 14 及びサイドスペーサ 18 a, 18 b をマスクとする選択的イオン注入処理により高濃度の N^+ 型ソース領域 20 S 及び N^+ 型ドレイン領域 20 D をゲート電極層 14 のソース側及びドレイン側で N^- 型ソース領域 16 S 及び N^- 型ドレイン領域 16 D とそれぞれ連続するように形成する。

【0006】図 9 に示す MOS 型電界効果トランジスタにあつては、低濃度ドレイン領域 (LDD 領域) 16 D を設けたことでドレイン近傍の電界集中が緩和されるため、ホットキャリアに基づく特性劣化を抑制しうる利点がある。

【0007】

【発明が解決しようとする課題】上記した従来法によると、ゲート電極層 14 の厚さに応じてその側壁につくサイドスペーサ 18 a, 18 b の幅に限界があり、電極層 14 を薄くした場合にサイドスペーサとして十分な幅のものを得るのが困難であつた。

【0008】この発明の目的は、ゲート電極層を薄くしても十分な幅のサイドスペーサを得ることができる新規な電界効果トランジスタの製法を提供することにある。

【0009】

【課題を解決するための手段】この発明による電界効果トランジスタの製法は、

(a) 半導体基板の表面にゲート絶縁膜を介してゲート電極層を形成する工程と、(b) 前記ゲート電極層をマスクとする選択的不純物導入処理により前記ゲート電極層の一方側で前記半導体基板の表面に低濃度ドレイン領域を形成する工程と、(c) 前記ゲート絶縁膜及び前記ゲート電極層を覆って所定のエッチング条件下でエッチ

速度の速い第1の絶縁膜と該エッチング条件下でエッチ速度の遅い第2の絶縁膜とを順次に形成する工程と、

(d) 前記第1及び第2の絶縁膜の積層を前記エッチング条件にてエッチバックすることにより該第1及び第2の絶縁膜の残存部分からなるサイドスペーサを前記低濃度ドレイン領域の上方で前記ゲート電極層に隣接して形成する工程と、(e) 前記ゲート電極層及び前記サイドスペーサをマスクとする選択的不純物導入処理により前記半導体基板の表面に前記低濃度ドレイン領域に連続して高濃度ドレイン領域を形成する工程とを含むものである。

【0010】このような製法にあつては、サイドスペーサを形成した後、サイドスペーサを構成する第2の絶縁膜の残存部分をエッチングすることにより該残存部分の一部又は全部を除去し、このようなエッチングを受けたサイドスペーサをマスクとして高濃度ドレイン形成を行なうようにしてもよい。

【0011】

【作用】この発明の製法によれば、エッチバックの過程においてエッチ速度の遅い第2の絶縁膜の一部がエッチ速度の速い第1の絶縁膜を覆う形でエッチングが進行するので、第1の絶縁膜は、第2の絶縁膜の一部で覆われた部分が確実に残存するようになり、サイドスペーサとしては、第1及び第2の絶縁膜の残存部分からなる広い幅のものが得られる。この場合、第1の絶縁膜の残存幅は、主として第2の絶縁膜の残存幅に依存し、ゲート電極層の厚さへの依存度が低い。従つて、ゲート電極層を薄くしても十分な幅のサイドスペーサを得ることができる。

【0012】また、上記したようにサイドスペーサを構成する第2の絶縁膜の残存部分の一部又は全部を除去すると、ゲート電極層の近傍で段差が軽減され、平坦性が向上する。

【0013】

【実施例】図1～6は、この発明の一実施例によるLD構造のMOS型電界効果トランジスタの製法を示すもので、各々の図に対応する工程(1)～(6)を順次に説明する。なお、図7～9と同様の部分には同様の符号を付して詳細な説明を省略する。

【0014】(1)半導体基板10の表面に図7に関して前述したと同様にしてゲート絶縁膜12、ゲート電極層14、N⁻型のソース及びドレイン領域16S及び16Dを形成した後、CVD法等により絶縁膜12及び電極層14を覆って絶縁膜22、24を順次に堆積形成する。ここで、絶縁膜22及び24は、後述するドライエッチング処理においてそれぞれエッチ速度が速いものと遅いものであり、エッチング条件及び膜22、24の構成材料を例示すると、次の通りである。

【0015】エッチング条件：ガスCHF₃、流量50 sccm、圧力70mtorr

膜22の構成材料：SiN

膜24の構成材料：SiO₂

(2)次に、上記したエッチング条件で絶縁膜22、24の積層をエッチバックすることによりゲート電極層14のソース側には絶縁膜24、22の残存部分24a、22aからなる第1のサイドスペーサを形成し且つゲート電極層14のドレイン側には絶縁膜24、22の残存部分24b、22bからなる第2のサイドスペーサを形成する。この場合、ゲート絶縁膜12及びゲート電極層14の上にも絶縁膜22が薄く残存するようにする。

【0016】(3)引き続きエッチングガスの組成を変更するなどして残存部分24a、24bが殆どエッチされないようなエッチング条件を設定して選択エッチング処理を行なうことにより絶縁膜12及び電極層14の上の薄い絶縁膜22を除去する。

【0017】(4)次に、基板上面にレジスト層26を回転塗布法等により形成する。レジスト層26は、残存部分24a、24bの上端が覆われるように十分に厚く形成する。

【0018】(5)次に、レジスト層26をエッチバックすることにより残存部分24a、24bの上端近傍部分を除去し、第1及び第2のサイドスペーサの上面を平坦化する。この後、レジスト層26を除去する。

【0019】(6)次に、残存部分24a、22aからなる第1のスペーサと、ゲート電極層14と、残存部分24b、22bからなる第2のスペーサとをマスクとする選択的イオン注入処理により基板表面にN⁻型ソース及びドレイン領域16S及び16Dにそれぞれ連続してN⁺型ソース及びドレイン領域20S及び20Dを形成する。そして、基板上面にCVD法等によりBPSG(ボロンリンケイ酸ガラス)等の層間絶縁膜27を形成する。

【0020】この後、ソース領域20S、ゲート電極層14、ドレイン領域20D等にそれぞれ対応した接続孔を絶縁膜27に形成する。そして、絶縁膜27上にA1又はA1合金等の配線材を被着してパターニングすることによりソース配線層28S、ゲート配線層28G、ドレイン配線層28D等を形成する。これらの配線層28S、28G及び28Dは、それぞれ接続孔を介してソース領域20S、ゲート電極層14及びドレイン領域20Dに接続される。

【0021】上記した製法によれば、図9及び図6を対比すれば明らかなようにゲート電極層14を薄くしても十分な幅のサイドスペーサが得られ、ゲートドレイン間の距離を十分にとることができる。また、残存部分24a、24bの上端近傍部分を除去したので、ゲート電極層14を薄くしたと相俟って平坦性が向上する。

【0022】この発明は、上記実施例にのみ限定されるものではなく、種々の改変形態で実施可能である。例えば、次のような変更が可能である。

5

【0023】(イ) 図2のエッチバック処理が終った後、図3～5の工程を経ずに図6の工程に移るようにしてもよい。この場合、絶縁膜12及び電極層14の上に薄く残存した絶縁膜22はイオン注入処理の後そのまま残しておいて層間絶縁膜27の一部として使うことができる。

【0024】(ロ) 図2又は図3の工程が終った後、図4～5の工程を経ずに図6の工程に移るようにしてもよい。この場合、図6の工程では、層間絶縁膜27を例えばCVD膜-SOG(スピノングラス)膜-CVD膜等の積層構造として平坦化を図ってもよい。

【0025】(ハ) 図2又は図3の工程が終った後、図4～5の工程の代りに、残存部分24a、24bをすべて除去すべく選択エッチング処理を行ない、この後図6の工程に移るようにしてもよい。この場合、第1及び第2のスペーサは、それぞれ残存部分22a及び22bから構成されることになるが、ソース及びドレイン領域20S及び20Dの形成パターンは図6のものと同様である。

【0026】

【発明の効果】以上のように、この発明によれば、ゲート電極層を覆う高エッチ速度及び低エッチ速度の絶縁膜

6

の積層をエッチバックすることにより各々の絶縁膜の残存部分からなるサイドスペーサを形成するようにしたので、ゲート電極層を薄くしても十分な幅のサイドスペーサが得られ、高信頼のLDD構造を実現可能となる効果が得られるものである。

【0027】その上、サイドスペーサを構成する低エッチ速度の絶縁膜の残存部分をエッチングすると、基板上面の平坦性が向上する効果も得られる。

【図面の簡単な説明】

【図1】～

【図6】 この発明の一実施例による電界効果トランジスタの製法を示す基板断面図である。

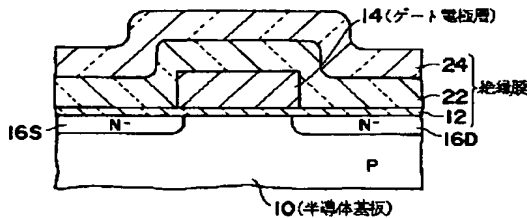
【図7】～

【図9】 従来の電界効果トランジスタの製法を示す基板断面図である。

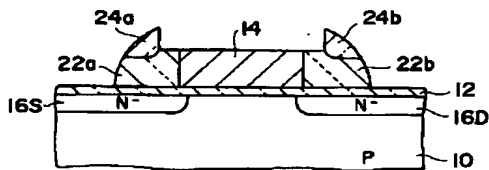
【符号の説明】

10：半導体基板、12：ゲート絶縁膜、14：ゲート電極層、16S、16D：低濃度ソース、ドレイン領域、20S、20D：高濃度ソース、ドレイン領域、22：高エッチ速度の絶縁膜、24：低エッチ速度の絶縁膜、22a、22b、24a、24b：サイドスペーサを構成する絶縁膜の残存部分。

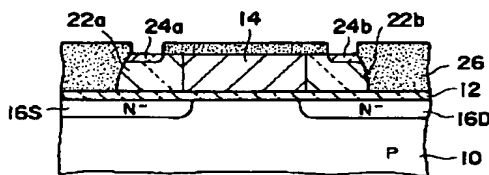
【図1】



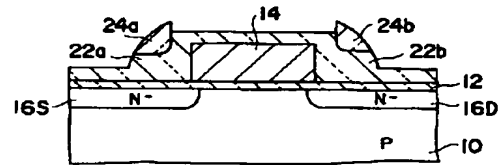
【図3】



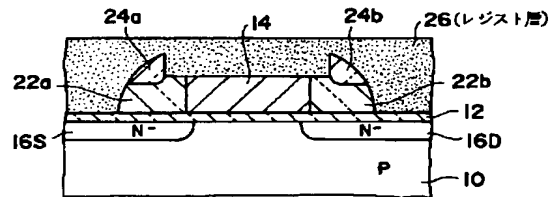
【図5】



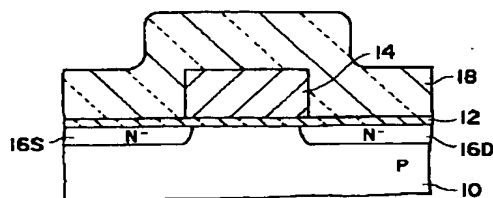
【図2】



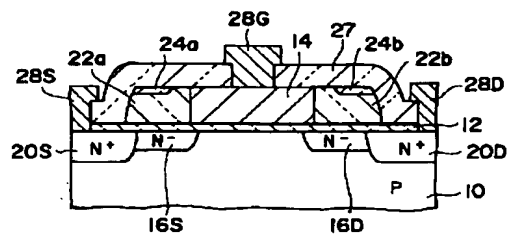
【図4】



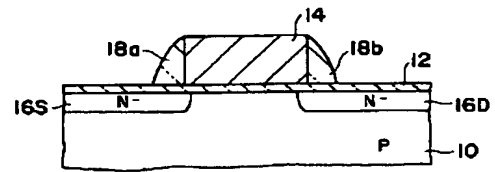
【図7】



【図 6】



【図 8】



【図9】

